

# Memory reference system for stored data in selective reference to storage

Publication number: CN1298154

Publication date: 2001-06-06

Inventor: SHOHIRA MORIWAKI (JP); ZENIKU AZEKAWA (JP);  
OSAMU SENBA (JP)

Applicant: MITSUBISHI ELECTRIC CORP (JP)

Classification:

- international: G06F12/04; G06F12/02; G06F15/16; G06T1/20;  
G06T1/60; G06T1/60; G06F12/04; G06F12/02;  
G06F15/16; G06T1/20; G06T1/60; G06T1/60; (IPC1-7):  
G06F15/16; G06F12/02

- European:

Application number: CN20001026428 20000831

Priority number(s): JP19990338199 19991129

Also published as:

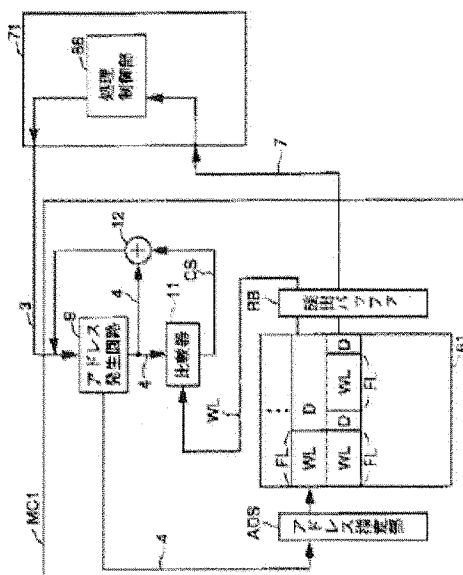
JP2001154910 (A)

Report a data error here

Abstract not available for CN1298154

Abstract of corresponding document: JP2001154910

**PROBLEM TO BE SOLVED:** To provide a memory access system for improving the access efficiency of a memory. **SOLUTION:** In this system for accessing the desired data D of a ROM 61 from a processor and a controller 71, word length information WL for indicating the length of the data D is stored immediately before the respective data D beforehand in the ROM 61. At the time of reading the desired data D, when a processing control part 66 supplies a read start address 3 corresponding to the desired data D to a memory chip MC1, the desired data D of the length indicated by the word length information WL in the read address 4 of the ROM 61 corresponding to the address 3 generated by an address generation circuit 9, a comparator 11 and an incremental part 12 are read and supplied to the processing control part 66. In such a manner, the processor and the controller 71 selectively read only the desired data if a variable length just by supplying the read start address 3 and the memory access efficiency is improved.



Data supplied from the esp@cenet database - Worldwide

[19]中华人民共和国国家知识产权局

[51] Int. Cl<sup>7</sup>

G06F 15/16

G06F 12/02

[12] 发明专利申请公开说明书

[21] 申请号 00126428.1

[43]公开日 2001 年 6 月 6 日

[11]公开号 CN 1298154A

[22]申请日 2000.8.31 [21]申请号 00126428.1

[30]优先权

[32]1999.11.29 [33]JP [31]338199/1999

[71]申请人 三菱电机株式会社

地址 日本东京都

[72]发明人 森胁升平 畔川善郁 千叶修

[74]专利代理机构 中国专利代理(香港)有限公司

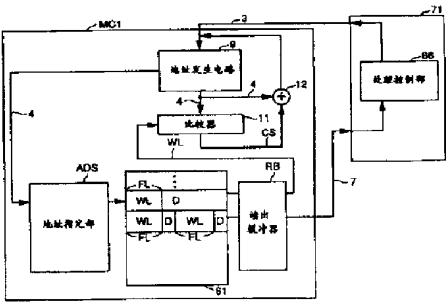
代理人 杨 凯 叶恺东

权利要求书 4 页 说明书 19 页 附图页数 10 页

[54]发明名称 有选择地访问存储器中存储的数据用的存储器访问系统

[57]摘要

一种从处理器及控制器访问 ROM 的所希望的数据的系统,在 ROM 中在各数据之前预先存储表示该数据的长度的字长信息。读出所希望的数据时,如果处理控制部将与该所希望的数据对应的读出开始地址供给存储器芯片,则读出与由地址发生电路、比较器及递增部生成的地址对应的用 ROM 的读出地址中的字长信息表示的长度的所希望的数据,供给处理控制部。这样,处理器及控制器只供给读出开始地址就能有选择地只读出可变长度的所希望的数据,提高存储器访问效率。



ISSN 1008-4274

## 权 利 要 求 书

1. 一种存储器访问系统，其特征在于备有：存储部、处理部、以及地址生成部，

5 上述存储部包括：至少存储了多个信息的存储器；以及按照基于读出地址信息的地址指定从存储器中读出信息的存储器控制部，

为了读出上述存储器中存储的所希望的信息，上述处理部至少输出表示与上述所希望的信息对应的上述存储器中的读出开始的地址用的读出开始地址信息，由上述存储器控制部从上述存储器输入被读出的上述所希望的信息，进行规定的处理，

10 上述地址生成部利用表示上述所希望的信息的类型的类型数据以及从上述处理部输出的上述读出开始地址信息，按照上述所希望的信息的长度，生成读出上述所希望的信息用的上述读出地址信息，输出给上述存储器控制部。

2. 根据权利要求 1 所述的存储器访问系统，其特征在于：

15 上述地址生成部有确定对应于上述类型数据的上述所希望的信息的长度用的长度确定部。

3. 根据权利要求 2 所述的存储器访问系统，其特征在于：

上述长度确定部有与多个不同的类型数据的每一个以及表示上述所希望的信息的长度的多个长度数据的每一个对应地配置的数据表，

20 根据被供给上述地址生成部的上述类型数据，从上述数据表读出与对应于该类型数据的上述所希望的信息对应的上述长度数据。

4. 根据权利要求 3 所述的存储器访问系统，其特征在于：上述地址生成部还备有地址发生部、地址递增部、以及停止控制部，

25 上述地址发生部发生与上述读出开始地址信息对应的上述存储器中的上述读出地址信息，

上述地址递增部输入上述地址发生部发生的上述读出地址信息，逐次递增后输出，

30 上述停止控制部按照根据上述长度数据判定了由上述地址递增部递增的上述读出地址信息表示上述所希望的信息的读出结束的情况进行控制，以使上述地址递增部停止上述读出地址信息的递增。

5. 根据权利要求 1 所述的存储器访问系统，其特征在于：

上述存储器中的多个信息中的每一个包含一个以上的所希望的数

据，

上述所希望的信息的类型数据表示上述所希望的信息中包含的上述一个以上的所希望的数据各自的不同类型。

6. 根据权利要求 1 所述的存储器访问系统，其特征在于：

5 为了读出上述存储器中存储的上述所希望的信息，上述处理部还将与上述所希望的信息对应的上述类型数据输出给上述地址生成部。

7. 根据权利要求 1 所述的存储器访问系统，其特征在于：

在上述存储器中还对应于上述多个信息的每一个存储了上述类型数据，

10 上述存储器控制部根据基于与从上述处理部输出的上述读出开始地址信息对应的上述读出地址信息的地址指定，从上述存储器读出与上述所希望的信息对应的上述类型数据，输出给上述地址生成部。

8. 根据权利要求 7 所述的存储器访问系统，其特征在于：还备有数据控制部，该数据控制部输入从上述存储器读出的上述所希望的信息和与该所希望的信息对应的上述类型数据，一边根据上述类型数据  
15 决定该所希望的信息中包含的上述一个以上的所希望的数据各自的种类，一边将该所希望的信息输出给上述处理部。

9. 根据权利要求 1 所述的存储器访问系统，其特征在于：上述规定的处理是描绘图像用的图像描绘处理，

20 上述存储器中的多个信息的每一个是定义所描绘的图像用的图像定义信息。

10. 根据权利要求 9 所述的存储器访问系统，其特征在于：在上述图像描绘处理中更新图像来描绘的情况下，用上述图像定义信息定义该图像应更新的部分。

25 11. 一种存储器访问系统，其特征在于备有：存储部、处理部、以及地址生成部，

上述存储部包括：至少存储了多个信息的存储器；以及按照基于读出地址信息的地址指定从存储器中读出信息的存储器控制部，

30 为了读出上述存储器中存储的所希望的信息，上述处理部输出表示与上述所希望的信息对应的上述存储器中的读出开始的地址用的读出开始地址信息，由上述存储器控制部输入从上述存储器读出的上述所希望的信息，进行规定的处理，

上述地址生成部利用表示上述所希望的信息的长度用的长度信息以及从上述处理部输出的上述读出开始地址信息，按照上述长度数据生成读出上述所希望的信息用的上述读出地址信息，输出给上述存储器控制部。

5 12. 根据权利要求 11 所述的存储器访问系统，其特征在于：

上述规定的处理是描绘图像用的图像描绘处理，

上述存储器中的多个信息的每一个是定义所描绘的图像用的图像定义信息。

10 13. 根据权利要求 12 所述的存储器访问系统，其特征在于：在上述图像描绘处理中更新图像来描绘的情况下，用上述图像定义信息定义该图像应更新的部分。

14. 根据权利要求 11 所述的存储器访问系统，其特征在于：上述地址生成部有地址发生部、地址递增部、以及停止控制部，

15 上述地址发生部发生与上述读出开始地址信息对应的上述存储器中的上述读出地址信息，

上述地址递增部输入由上述地址发生部发生的上述读出地址信息，逐次递增后输出，

20 上述停止控制部按照根据上述长度数据判定了由上述地址递增部递增的上述读出地址信息表示上述所希望的信息的读出结束的情况，进行控制，以使上述地址递增部停止上述读出地址信息的递增。

15. 一种存储器访问电路，它是将从存储器读出所希望的数据用的地址供给存储器用的存储器访问电路，其特征在于备有：长度确定部以及地址生成部，

25 上述长度确定部受理决定上述所希望的数据包含哪一种类型的数据的类型数据，确定上述所希望的数据的数据长度，输出表示上述数据长度的长度数据，

上述地址生成部根据开始地址及上述长度数据，生成上述地址，上述开始地址表示上述所希望的数据的开头地址。

30 16. 根据权利要求 15 所述的存储器访问电路，其特征在于：上述长度确定部有数据表，用来存储表示分别被存储在上述存储器中的数据的上述数据长度的多个数据，上述数据表受理上述类型数据，将上述多个数据中的一个作为上述长度数据输出。

17. 根据权利要求 15 所述的存储器访问电路, 其特征在于: 上述类型数据被存储在上述存储器中, 上述长度确定部从上述存储器受理上述类型数据。

5 18. 根据权利要求 15 所述的存储器访问电路, 其特征在于: 上述类型数据被包含在上述所希望的数据中, 上述开始地址表示存储上述类型数据的场所。

19. 根据权利要求 15 所述的存储器访问电路, 其特征在于: 上述地址生成部从利用上述所希望的数据进行规定的处理的装置, 受理上述开始地址及上述类型数据。

10 20. 根据权利要求 15 所述的存储器访问电路, 其特征在于:

上述存储器访问电路还备有数据存储控制部, 该数据存储控制部有多个寄存器, 根据上述类型数据选择上述多个寄存器中的一个或一个以上的寄存器,

15 上述数据存储控制部从上述存储器受理上述所希望的数据, 将上述所希望的数据按照每个数据的类型写入上述被选择的一个或一个以上的寄存器。

21. 根据权利要求 20 所述的存储器访问电路, 其特征在于: 上述数据存储控制部有与上述多个寄存器对应的多个门, 各门被连接在从上述对应的寄存器及上述存储器受理上述所希望的数据的共用节点上, 按照上述类型数据进行导通。

22. 根据权利要求 20 所述的存储器访问电路, 其特征在于: 上述数据存储控制部有被连接在上述多个寄存器上的、存储从上述存储器输出的上述所希望的数据的高速缓冲存储器, 上述高速缓冲存储器输出按照从上述地址生成部输出的上述地址被存储的数据。

25 23. 根据权利要求 15 所述的存储器访问电路, 其特征在于: 上述所希望的数据包括表示以下 9 个类型数据中的至少一个的三维图形数据, 该 9 个类型数据是: 定义多边形的各顶点用的 x 坐标值、y 坐标值、z 坐标值、关于结构图的 x 坐标、关于结构图的 y 坐标、红色信息、绿色信息、蓝色信息、以及表示透射率的阿尔法信息, 上述类型数据指定包含上述三维图形数据的数据的一个或一个以上的类型。

# 说明书

## 有选择地访问存储器中存储的数据用的存储器访问系统

本发明涉及存储器访问系统，特别是涉及有选择地访问预先存储在存储器中的数据用的存储器访问系统。

迄今在访问存储器的系统中，从存储器读出数据时，需要由系统内的处理器及控制器一侧指定读出数据用的地址以及读出的数据的固定长度，例如数据的固定的字长。以下说明现有的存储器访问方式的一例。

图 12 是现有的存储器访问系统的简略结构图。图中，现有的存储器访问系统包括：备有地址发生电路 36 和存储了多个数据 D 的存储器 38 的存储器芯片 34；以及读出存储器 38 中存储的所希望的数据 D 并进行规定的处理的处理器及控制器 33。

处理器及控制器 33 在读出存储器 38 中存储的所希望的数据 D 的工作中，将读出所希望的数据 D 用的表示固定的数据长度的字长信息 35A 和读出开始地址 35B 供给存储器芯片 34 的地址发生电路 36。这里，读出开始地址是对应于所希望的数据 D 的地址，在从存储器 38 读出所希望的数据 D 用的存储器 38 中，对应于最初指定的地址。存储器 38 例如是存储了三维图形数据的图形存储器。

存储器芯片 34 的地址发生电路 36 根据所供给的固定的字长信息 35A 和读出开始地址 35B，依次发生读出所希望的数据 D 用的读出地址 37。然后，根据依次发生的读出地址 37，指定地址，从存储器 38 读出所希望的数据 D，作为数据 39 输出给处理器及控制器 33。

这样，迄今利用处理器及控制器 33，指定表示固定的字长的字长信息 35A 和读出开始地址 35B，能读出所希望的数据 39。

可是，迄今从存储器读出数据时，利用处理器及控制器 33 一律指定表示固定的字长的字长信息 35A，所以不能有选择地从存储器 38 中连续存储的多个数据 D 中只读出所希望的任意长度的数据。因此，存储器 38 中存储了不需要的（不希望的）数据，或从存储器 38 读出所希望的数据时不得已读出不需要的数据，产生了存储器访问的浪费。在存储器访问时需要大的带宽的系统中，这样的存储器访问的浪费成为系统整体性能下降的原因。另外，存储器访问时的带宽用（数据传

输时钟×数据总线带宽)来规定。例如存储器访问时如果每秒钟进行10次数据传输,则用10Hz×数据总线带宽(一次数据传输中被传输的数据量例如为8位)来规定。

5 另外,在特开平 11-184831 号公报及特开平 7-200506 号公报中提供了一种在对存储器进行的所希望的数据的访问时利用所希望的数据的数据长度进行访问的技术。在这些公报中,未提供利用数据长度进行的存储器访问用的具体的程序、以及它所需要的具体的结构,可以说缺乏可实现性。

10 本发明的目的在于提供一种能提高存储器访问效率的存储器访问系统。

为了达到上述目的,本发明的某一方面的存储器访问系统备有:存储部、处理部、以及地址生成部。存储部包括:至少存储了多个信息的存储器;以及根据读出地址信息,按照指定的地址从存储器中读出信息的存储器控制部。为了读出存储器中存储的所希望的信息,处  
15 理部输出至少表示与所希望的信息对应的存储器中的读出开始的地址用的读出开始地址信息,由存储器控制部从存储器输入被读出的所希望的信息,进行规定的处理。地址生成部利用表示所希望的信息的类型的类型数据、以及从处理部输出的读出开始地址信息,按照所希望的信息的长度,生成读出所希望的信息用的读出地址信息,输出给存  
20 储器控制部。

因此,在上述的存储器访问系统中,地址生成部利用与所希望的信息对应的类型数据和读出开始地址信息,按照所希望的信息的长度,生成从存储器读出所希望的信息用的读出地址信息,输出给存储器控制部,所以通过由存储器控制部进行的地址指定,能从存储器只读出  
25 所希望的信息。

因此,利用与所希望的信息对应的类型数据和读出开始地址信息,能从存储器只读出所希望的信息。就是说,能省略从存储器进行的无用数据的读出,能增大相当于上述省略部分的带宽来访问存储器,进而还能提高处理部的规定的处理的效率。

30 在上述的存储器访问系统中,地址生成部有确定对应于类型数据的所希望的信息的长度用的长度确定部。

因此,在上述的存储器访问系统中,由地址生成部的长度确定部



根据类型数据确定所希望的信息的长度。

因此，对应于类型数据的所希望的信息长度的确定不是在处理部中、而是在地址生成部中进行，所以即使是用类型数据进行的存储器访问，也不增大处理部的负载而维持规定的处理的效率。

5       在上述的存储器访问系统中，长度确定部有与多个不同类型数据的每一个和表示所希望的信息的长度的多个长度数据的每一个对应地配置的数据表，根据类型数据，从数据表读出对应于与该类型数据的对应的所希望的信息的长度数据。

10       因此，在上述的存储器访问系统中，长度数据确定部有与多个类型数据的每一个和多个长度数据的每一个对应地配置的数据表，根据与所希望的信息对应的类型数据，从该数据表读出对应的长度数据。

因此，在长度数据确定部中，由于准备了这样的数据表，所以根据所希望的信息的类型数据，能简单地确定该所希望的信息的长度数据。因此，能用类型数据有效地从存储器只读出所希望的信息。

15       在上述的存储器访问系统中，存储器中的多个信息中的每一个包含一个以上的所希望的数据，类型数据表示所希望的信息中包含的一个以上的所希望的数据各自的不同类型。

20       因此，在上述的存储器访问系统中，能用所希望的信息的类型数据表示所希望的信息中包含的一个以上的所希望的数据各自的不同类型。

因此，在用类型数据从存储器读出所希望的信息的情况下，通过一次的所希望的信息的读出，能读出不同种类的一个以上的所希望的数据，所以能更有效地从存储器只读出所希望的数据。

25       在上述的存储器访问系统中，为了读出存储器中存储的所希望的信息，处理部还将与所希望的信息对应的类型数据输出给地址生成部。

因此，在上述的存储器访问系统中，因为从存储器读出所希望的信息用的类型数据被从处理部供给地址生成部，故能用按照处理部的规定的处理内容的类型数据，从存储器读出所希望的信息。

30       因此，能从存储器读出用适合于规定的处理内容的类型数据表示的所希望的信息，能提高处理部的规定的处理的效率。

在上述的存储器访问系统中，在存储器中还对应于多个信息的每一个存储类型数据。而且，存储器控制部根据基于从处理部输出的读

出开始地址信息所对应的读出地址信息的地址指定，从存储器读出与所希望的信息对应的类型数据。

因此，在上述的存储器访问系统中，根据与所希望的信息的读出开始地址信息对应的读出地址信息，按照地址的指定，从存储器读出与所希望的信息对应的类型数据。

因此，通过只将类型数据与多个信息的每一个对应地存储在存储器中，能简单地获得与所希望的信息对应的类型数据，能更有效地从存储器读出所希望的信息。

在上述的存储器访问系统中还备有数据控制部。数据控制部输入从存储器读出的所希望的信息和与所希望的信息对应的类型数据，一边根据类型数据决定该所希望的信息中包含的一个以上的所希望的数据的各自的种类，一边将该所希望的信息输出给处理部。

因此，在上述的存储器访问系统中，从存储器读出的所希望的信息中一个以上的所希望的数据的每一个，由数据控制部用类型数据一边决定其种类，一边将其供给处理部，处理部尽管不知道读出的所希望的信息的类型数据，也能一边决定输入该所希望的信息中包含的一个以上的所希望的数据的各自的种类，一边将其输入。

因此，能提高包括用处理部中的所希望的信息进行的规定的处理的全部处理的效率。

在上述的存储器访问系统中，规定的处理是描绘图像用的图像描绘处理。而且，存储器中的多个信息的每一个是定义所描绘的图像用的图像定义信息。

这样，能将具有上述这样的一系列特征的存储器访问系统应用于进行图像描绘处理的系统，该系统从存储了定义所描绘的图像用的多个图像定义信息的存储器只读出所希望的图像定义信息。

因此，在图像描绘处理用的系统中，能从存储器有效地只读出所希望的图像定义信息，进行图像描绘处理，能提高图像描绘处理的效率。

在上述的存储器访问系统中，在图像描绘处理中更新图像来描绘的情况下，用图像定义信息定义该图像应更新的部分。

因此，在上述的存储器访问系统中，在图像描绘处理中更新图像描绘的情况下，从存储器中只读出描绘时应更新的图像部分对应的图

像定义信息。

因此，在一边更新图像一边描绘的情况下，图像定义信息中的描绘时不更新的图像部分对应的信息、即不需要的信息不从存储器中读出，所以存储器的访问效率高，进而图像描绘处理的效率也高。

5       本发明的另一方面的存储器访问系统备有：存储部、处理部、以及地址生成部。存储部包括：至少存储了多个信息的存储器；以及根据基于读出地址信息的地址指定，从存储器中读出信息的存储器控制部。为了读出存储器中存储的所希望的信息，处理部输出表示与所希望的信息对应的存储器中的读出的开始地址用的读出开始地址信息，  
10       由存储器控制部输入从存储器读出的所希望的信息，进行规定的处理。地址生成部利用表示所希望的信息的长度用的长度信息、以及从处理部输出的读出开始地址信息，按照长度数据生成读出所希望的信息用的读出地址信息，输出给存储器控制部。

因此，在上述的存储器访问系统中，地址生成部利用与所希望的信息对应的长度数据和读出开始地址信息，按照所希望的信息的长度，  
15       生成从存储器读出所希望的信息用的读出地址信息，输出给存储器控制部，所以通过由存储器控制部进行的地址指定，能从存储器只读出所希望的信息。

因此，利用与所希望的信息对应的长度数据和读出开始地址信息，  
20       能从存储器只读出所希望的信息。就是说，能省略从存储器进行的无用数据的读出，能增大相当于上述省略部分的带宽来访问存储器，进而还能提高处理部的规定的处理的效率。

在上述的存储器访问系统中，规定的处理是描绘图像用的图像描绘处理。而且，存储器中的多个信息的每一个是定义所描绘的图像用的  
25       的图像定义信息。

因此能将上述的存储器访问系统应用于进行图像描绘处理的系统，该系统从存储了定义所描绘的图像用的多个图像定义信息的存储器只读出所希望的图像定义信息。

因此，在图像描绘处理用的系统中，能从存储器有效地只读出所  
30       希望的图像定义信息，进行图像描绘处理，能提高图像描绘处理的效率。

在上述的存储器访问系统中，在图像描绘处理中更新图像来描绘

的情况下，用图像定义信息定义该图像应更新的部分。

因此，在上述的存储器访问系统中，在图像描绘处理中更新图像描绘的情况下，从存储器中只读出描绘时应更新的图像部分对应的图像定义信息。

5       因此，在一边更新图像一边描绘的情况下，图像定义信息中描绘时不更新的图像部分对应的信息、即不需要的信息不从存储器中读出，所以存储器的访问效率高，进而图像描绘处理的效率也高。

      在上述的存储器访问系统中，地址生成部有：地址发生部、地址递增部、以及停止控制部。地址发生部发生与读出开始地址信息对应的存储器中的读出地址信息。地址递增部输入地址发生部发生的读出地址信息，依次递增后输出。停止控制部对应于根据长度数据判定了由地址递增部递增的读出地址信息表示所希望的信息的读出结束，进行控制，以使地址递增部停止读出地址信息的递增。

10       因此，在上述的存储器访问系统中，虽然在地址生成部中生成由地址递增部使读出地址逐次递增后的读出地址，但根据按长度数据已生成表示所希望的信息的读出结束的读出地址的情况，由停止控制部停止该递增工作。

      因此，在地址生成部中生成只相当于由所希望的信息的长度数据表示的长度的读出地址，所以能可靠地、且容易地从存储器只读出所希望的信息。

20       本发明的存储器访问电路是将从存储器读出所希望的数据用的地址供给存储器用的存储器访问电路，它备有长度确定部、以及地址生成部。长度确定部受理决定上述所希望的数据是否包含哪一种类型的数据的类型数据，确定数据的数据长度，输出表示数据长度的长度数据。地址生成部根据开始地址及长度数据，生成地址。开始地址表示所希望的数据的开头地址。

      因此，在上述的存储器访问电路中，由长度确定部受理所希望的数据的类型数据，一旦输出指示所希望的数据的数据长度的长度数据，便由地址生成部根据长度数据和表示所希望的数据的开头的地址的开头地址，生成从存储器读出所希望的数据用的地址，供给存储器。

30       因此，用所希望的数据的类型数据和开始地址，能从存储器只读出所希望的数据。就是说，能省略从存储器读出无用的数据，从而相

应地扩大带宽来访问存储器。

在上述的存储器访问电路中，长度确定部有数据表，用来存储表示分别被存储在存储器中的数据的数据长度的多个数据，数据表受理类型数据，将多个数据中的一个作为长度数据输出。

5 在上述的存储器访问电路中，类型数据被存储在存储器中，长度确定部从存储器受理类型数据。

在上述的存储器访问电路中，类型数据被包含在所希望的数据中，开始地址表示存储类型数据的场所。

10 在上述的存储器访问电路中，地址生成部从利用所希望的数据进行规定的处理的装置，受理开始地址及类型数据。

在上述的存储器访问电路中，还备有数据存储控制部。数据存储控制部有多个寄存器，根据类型数据选择多个寄存器中的一个或一个以上的寄存器。在数据存储控制部中，如果从存储器受理所希望的数据，则将所希望的数据按照每个数据的类型写入所选择的一个或一个  
15 以上的寄存器。

在上述的存储器访问电路中，数据存储控制部有与多个寄存器对应的多个门，各门被连接在从对应的寄存器及存储器受理所希望的数据的共用节点上，按照类型数据进行导通。

20 在上述的存储器访问电路中，数据存储控制部有被连接在多个寄存器上的、存储从存储器输出的所希望的数据的高速缓冲存储器，高速缓冲存储器按照从地址生成部输出的地址输出被存储的数据。

在上述的存储器访问电路中，所希望的数据包括表示以下 9 个类型数据中的至少一个的三维图形数据，该 9 个类型数据是：定义多边形的各顶点用的 x 坐标值、y 坐标值、z 坐标值、关于结构图的 x 坐标、  
25 关于结构图的 y 坐标、红色信息、绿色信息、蓝色信息、以及表示透射率的阿尔法信息，类型数据指定包含三维图形数据的数据的一个或一个以上的类型。

图 1 是本发明的第一实施例的存储器访问系统的结构框图。

图 2 是本发明的第二实施例的存储器访问系统的结构框图。

30 图 3 是图 2 中的地址发生部和数据存储控制部的结构框图。

图 4A ~ 图 4F 是说明图 3 中的门控制用的时序图。

图 5 是本发明的第三实施例的存储器访问系统的结构框图。

图 6 是表示本发明的第四实施例的三维图形存储器之一例图。

图 7 是表示本发明的第四实施例的三维图形用的结构存储器之一例图。

图 8 是本发明的第五实施例的三维图形存储器的结构图。

5 图 9 是表示本发明的第六实施例的图形存储器的结构图。

图 10 是本发明的第七实施例的存储器访问系统的结构图。

图 11 是图 10 中的地址发生部和数据存储控制部的结构框图。

图 12 是现有的存储器访问系统的简略结构图。

10 以下，参照附图说明本发明的各个实施例。另外，在各实施例中，应读出的数据存储在存储器的连续的区域，用字长规定了该数据的连续长度，但字长未被决定。

另外，各实施例虽然给出了适用于 ROM（只读存储器的简称）的读出系统的情况，但也能适用于 RAM（随机存取存储器的简称）的读出系统。

15 （第一实施例）

在本实施例中，在访问存储器的系统中，在存储器内的各数据之前存储了表示应读出的数据的字长的字长信息，读出由该字长信息指定的长度的数据。因此，能读出可变长度的数据。

20 图 1 是本发明的第一实施例的存储器访问系统的结构框图。图中存储器访问系统包括存储器芯片 MC1、以及处理器及控制器 71，上述存储器芯片 MC1 包括：地址发生电路 9、比较器 11、递增部 12、ROM61、与 ROM61 关联设置的地址指定部 ADS、以及读出缓冲器 RB，上述处理器及控制器 71 有读出 ROM61 中存储的所希望的数据后进行规定的处理用的处理控制部 66。

25 在 ROM61 中，作为读出对象存储了所希望的多个可变长度数据 D，在各数据 D 之前存储了表示该数据 D 的字长的字长信息 WL。字长信息 WL 的长度是固定长度 FL。各数据 D 存储在存储了对应的字长信息 WL 的区域以后的连续的区域。

30 处理器及控制器 71 在读出 ROM61 中存储的所希望的数据 D 的情况下，由处理控制部 66 将读出用的读出开始地址 3 输出给地址发生电路 9。这里，所谓读出开始地址，对应于为了从存储器读出所希望的数据（信息）而在存储器中最初指定的地址。另外，读出开始地址表示所

希望的数据的开头地址。

从 ROM61 中的与读出开始地址 3 对应的地址开始，存储了字长信息 WL、以及继字长信息 WL 之后用该字长信息 WL 表示的长度连续的数据 D。

5       地址发生电路 9 发生与读出开始地址 3 对应的 ROM61 中的读出地址 4，供给地址指定部 ADS、比较器 11 及递增部 12。递增部 12 将所供给的读出地址 4 增加规定值后输出。从递增部 12 输出的读出地址 4 通过地址发生电路 9，被供给地址指定部 ADS。因此，在地址指定部 ADS 中，使与读出开始地址 3 对应的读出地址 4 以后的读出地址 4 一边递  
10   增，一边被逐次地供给。这里，所谓读出地址，表示为了读出所希望的数据（信息）而在存储器中指定的地址。

地址指定部 ADS 根据逐次供给的读出地址 4，对 ROM61 进行地址指定，所以能从 ROM61 读出字长信息 WL，通过读出缓冲器 RB 供给比较器 11。另外，继字长信息 WL 之后存储的所希望的数据 D 也被读出，  
15   作为数据 7 输出给处理控制部 66。

比较器 11 如果被供给了字长信息 WL，便对由逐次供给的读出地址 4 表示的到此为止读出的所希望的数据 D 的字长和用字长信息 WL 表示的字长进行比较。比较结果，如果是（用字长信息 WL 表示的字长 > 由逐次供给的读出地址 4 表示的到此为止读出的所希望的数据 D 的字长），则由递增部 12 继续进行递增工作。此后，如果变成（用字长信息 WL 表示的字长 < 由逐次供给的读出地址 4 表示的到此为止读出的所希望的数据 D 的字长），则比较器 11 将停止递增工作用的停止信号 CS 输出给递增部 12，所以递增部 12 停止递增工作。于是结束用字长信息 WL 表示的长度的数据 D 从 ROM61 的读出。  
20   

25       因此，在与 ROM61 的读出开始地址 3 对应的读出地址 4 中存储的字长信息 WL 之后存储的用该字长信息 WL 表示的长度的数据 D 被读出，作为数据 7 输出给处理器及控制器 71。

在本实施例中，不需要象以往那样由处理器及控制器一侧指定读出所希望的数据的字长。在本实施例中，由于预先在 ROM61 内的成为  
30   读出对象的各数据 D 之前存储指定该数据 D 的长度的字长信息 WL，所以处理器及控制器 71 只要指定读出开始地址 3，就能不读出不需要的数据，而有选择地只读出所希望的数据 D。因此，能将数据总线带宽

增大后高速地读出所希望的数据 D。

(第二实施例)

在本实施例中，在访问存储器的系统中，在存储器内存储了由所希望的不同类型的一个以上的数据构成的多个数据组。而且，在存储器中在各数据组之前存储了表示该数据组中的各数据的类型用的固定长度的数据标志信息。读出数据时只读出由该数据标志信息的内容指定的类型的的数据。因此，能以可变长度、而且只读出所希望的类型的的数据。

另外，这里所谓用数据标志信息表示的数据的类型，是表示单值地决定数据组中的各数据用的该数据的类型的信息。

图 2 是本发明的第二实施例的存储器访问系统的结构框图。图中，存储器访问系统包括存储器芯片 MC2、以及处理器及控制器 72，上述存储器芯片 MC2 包括：ROM62、与 ROM62 关联设置的地址指定部 ADS、以及读出缓冲器 RB。处理器及控制器 72 包括：地址发生部 22、暂时存储从 ROM62 读出的数据用的数据存储控制部 32、以及从 ROM62 读出所希望的数据后进行规定的处理用的处理控制部 67。

处理控制部 67 将时钟信号 CLK、复位信号 RST、以及读出开始信号 RS 输出给数据存储控制部 32。将在后面说明这些信号。

在 ROM62 中存储了多个数据组  $DG_i$  ( $i = 1, 2, 3, \dots$ )、以及与数据组  $DG_i$  对应的在该数据组  $DG_i$  之前的数据标志信息  $DF_i$  ( $i = 1, 2, 3, \dots$ )。

在各数据组  $DG_i$  中包含一个以上连续的不同类型的数据  $D_j$  ( $j = 1, 2, 3, \dots$ )。数据标志信息  $DF_i$  是由多位的标志表示对应的数据组  $DG_i$  中包含的各数据  $D_j$  的类型用的信息。

图 3 是图 2 中的地址发生部 22 和数据存储控制部 32 的结构框图。图中地址发生部 22 包括：为了从 ROM62 读出数据，逐次生成并输出 ROM62 中的读出地址 4 用的地址发生电路 10；从地址发生电路 10 逐次输出的读出地址 4 所供给的递增部 13 及比较器 14；以及标志寄存器 24 及表 TB。

递增部 13 输入从地址发生电路 10 输出的读出地址 4，增加规定值后输出。从递增部 13 输出的读出地址 4 通过地址发生电路 10 被供给地址指定部 ADS。



从 ROM62 读出的数据标志信息 DF<sub>i</sub> 的内容 15 被写入标志寄存器 24。根据被写入标志寄存器 24 中的数据标志信息 DF<sub>i</sub> 的内容 15，进行地址指定，读出表 TB 的内容。在表 TB 中，与从 ROM62 读出的数据标志信息 DF<sub>i</sub> 的内容 15 对应的地址即表地址 5 分别对应地存储字长信息 WL<sub>1</sub>。字长信息 WL<sub>1</sub> 表示用对应的表地址 5 表示的数据标志信息 DF<sub>i</sub> 决定类型的一个以上的数据 D<sub>j</sub> 的字长。因此根据标志寄存器 24 的内容，通过对表 TB 进行地址指定，能读出相当于从 ROM62 读出的数据标志信息 DF<sub>i</sub> 所表示的类型的一个以上的数据 D<sub>j</sub> 的长度连续的字长，作为字长信息 WL<sub>1</sub> 供给比较器 14。

10 由比较器 14 和递增部 13 进行比较工作和读出地址 4 的递增工作。这些工作与上述的第一实施例的相同，所以这里简单地说明。

就是说在比较器 14 中，为了从 ROM62 读出由从表 TB 读出的字长信息 WL<sub>1</sub> 指定的字长大小的数据，监视由递增部 13 使读出地址 4 逐次递增。在该监视中，在从 ROM62 读出了用字长信息 WL<sub>1</sub> 表示的长度大小 15 的数据的情况下，比较器 14 将停止信号 CS 供给递增部 13，使递增部 13 停止读出地址 4 的递增工作。递增部 13 在停止信号 CS 被供给之前继续进行读出地址 4 的递增工作。由递增部 13 逐次递增后输出的读出地址 4 通过地址发生电路 10，被逐次供给存储器芯片 MC2 的地址指定部 ADS。

20 数据存储控制部 32 包括：暂时存储从 ROM62 读出的数据标志信息 DF<sub>i</sub> 的内容 15 的标志寄存器 25、多级门控制部 50、以及包括多个寄存器的内部寄存器组 77。

25 标志寄存器 25 个别地存储数据标志信息 DF<sub>i</sub> 的多个位。对应于标志寄存器 25 中的数据标志信息 DF<sub>i</sub> 的各个位，设有各门控制部 50 和内部寄存器组 77 的各寄存器。

这里，数据标志信息 DF<sub>i</sub> 假定是例如用 4 位表示的信息。因此，在标志寄存器 25 中个别地存储 4 位数据，另外内部寄存器组 77 中包括四个寄存器 771~774。

30 从 ROM62 连续读出的各个数据 16 分别经由门 G1~G4，存储在内部寄存器组 77 的各个寄存器 771~774 中。这时，读出的数据 16 只存储在门 G1~G4 中由门启动信号 GE1~GE4 中对应的门启动信号导通的门对应的寄存器中。

门控制部 50 包括传输门电路 TG1 和 TG2、以及根据时钟信号 CLK 锁存并输出由传输门电路传输的信号锁存的锁存电路 LT。传输门电路 TG1 和 TG2 利用由标志寄存器 25 中对应的位的值表示的选通信号 GS 来控制。对应的选通信号 GS 为 0 时，传输门电路 TG1 导通，选通信号 GS 为 1 时，传输门电路 TG2 导通。

图 4A~图 4F 是说明图 3 中的门 G1~G4 的控制用的时序图。参照图 4A~图 4F 及图 3，由时钟 CLK 的最初的上升边供给读出开始信号 RS 时，如果与标志寄存器 25 中的门 G1 对应的位的值为“1”，则门启动信号 GE1 变为“高电平”，门 G1 导通。因此，这时读出的数据 16 通过门 G1，被存储在寄存器 774 中。

在时钟 CLK 的下一个上升边，读出开始信号 RS 被保持在第一级的锁存电路 LT 中，如果与门 G2 对应的标志寄存器 25 中的位的值为“1”，则门启动信号 GE2 变为“高电平”，门 G2 导通。因此，这时读出的数据 16 通过门 G2，被存储在寄存器 773 中。以下，同样能将读出的数据 16 分别存储在寄存器 772 及 771 中。

其次，参照图 2 和图 3 说明本实施例的具体工作情况。首先为了从 ROM62 读出一个以上的所希望的数据，从处理控制部 67 将读出开始地址 3 供给地址发生部 22。地址发生部 22 的地址发生电路 10 发生与所供给的读出开始地址 3 对应的 ROM62 中的读出地址 4，供给地址指定部 ADS、比较器 14 及递增部 13。

地址指定部 ADS 根据所供给的读出地址 4，对 ROM62 进行地址指定，所以通过该地址指定，从 ROM62 读出的数据标志信息 DF<sub>i</sub> 通过读出缓冲器 RB，被作为数据标志信息 DF<sub>i</sub> 的内容 15 供给数据存储控制部 32 及地址发生部 22。这时，假定在地址发生部 22 的标志寄存器 24 及数据存储控制部 32 的标志寄存器 25 中分别存储了“1100”。

如上所述，根据基于标志寄存器 24 的内容“1100”的地址指定，能从表 TB 读出对应的字长信息 WL1。在此情况下，作为字长信息 WL1 读出“2”，供给比较器 14。在比较器 14 中，对用读出地址 4 表示的到此为止从 ROM 62 读出的数据的字长和从表 TB 供给的“2”字长进行比较，该比较结果表示数据的字长超过“2”字长时，将停止信号 CS 从比较器 14 供给递增部 13，停止递增部 13 的读出地址 4 的递增工作。

另一方面，在未超过“2”字长时，继续进行递增部 13 的读出地

址 4 的递增工作，所以继续进行从 ROM62 读出继数据标志信息 DF<sub>i</sub> 之后存储的数据组 DG<sub>i</sub> 的数据。其结果，“2”字长大小的数据组 DG<sub>i</sub> 的数据从 ROM62 读出后，作为数据 16 被供给数据存储控制部 32。

这里，假定读出图 2 所示的数据组 DG<sub>i</sub>，作为数据 16 包括数据 D<sub>1</sub> 和 D<sub>2</sub>。因此，根据图 4 所示的时序图，只有数据存储控制部 32 的门 G<sub>1</sub> 和 G<sub>2</sub> 导通，所以数据 D<sub>1</sub> 被存入寄存器 774，数据 D<sub>2</sub> 被存入寄存器 773。此后，从寄存器 774 和 773 读出数据，数据 D<sub>1</sub> 和 D<sub>2</sub> 一边被决定类型，一边作为数据 17 从数据存储控制部 32 供给处理控制部 67。

另外，这里，数据标志信息 DF<sub>i</sub> 虽然为由 4 位构成的信息，但不总是这种情况。

数据标志信息 DF<sub>i</sub> 呈最大值时，表示能构成数据组 DG<sub>i</sub> 的全部类型的数据。而且，在数据标志信息 DF<sub>i</sub> 的各位表示构成数据组 DG<sub>i</sub> 的数据的类型的情况下，读出的数据 D<sub>j</sub> 表示是对应于哪个类型的数据。如果假定数据 D<sub>1</sub> 由一个字构成，则表示继数据标志信息 DF<sub>i</sub>(=“1100”)之后存储的两个字的数据是分别对应于类型 1 和 2 的数据(数据 D<sub>1</sub> 和 D<sub>2</sub>)。

在本实施例中，不需要象以往那样由处理器及控制器 72 指定应连续读出的数据(所希望的数据)的字长。在本实施例中，预先在 ROM62 中的各数据组 DG<sub>i</sub> 之前存储了表示该数据组 DG<sub>i</sub> 中包含的数据 D<sub>j</sub> 的类型的信息 DF<sub>i</sub>，处理器及控制器 72 只需要指定与所希望的数据组 DG<sub>i</sub> 对应的读出开始地址 3 即可。因此，不配置 ROM62 中不需要的数据 D<sub>j</sub>，也不从 ROM62 读出不需要的类型的数据 D<sub>j</sub>，能有效地利用 ROM62，并能增大数据总线带宽进行高速读出，能高效地访问存储器。

### 25 (第三实施例)

在本实施例中，在访问存储器的系统中，由处理器及控制器将表示所希望的数据的类型的固定长度的数据标志信息以及与所希望的数据对应的读出开始地址供给存储器一侧，在存储器一侧设有读出只由所供给的数据标志信息指定的类型的数据的机构。因此，能以可变长度且有选择地只读出所希望的数据。

图 5 是本发明的第三实施例的存储器访问系统的结构框图。图中，存储器访问系统包括存储器芯片 MC3、以及处理器及控制器 73，上述

存储器芯片 MC3 包括: 存储了多个数据组 DG<sub>i</sub> 的 ROM63、与 ROM63 关联设置的地址指定部 ADS、读出缓冲器 RB、标志寄存器 24、表 TB、递增部 6、比较器 7、以及地址发生电路 8, 上述处理器及控制器 73 包括从 ROM63 读出所希望的数据后进行规定的处理用的处理控制部 68。

ROM63 中的各个数据组 DG<sub>i</sub> 存储一个以上不同类型的数据 D<sub>j</sub>。这里假定在各个数据组 DG<sub>i</sub> 中连续地存储了例如数据 D1 ~ D4 中的一个以上的数据。

表 TB 的结构及从表 TB 读出数据的方法与图 3 中的相同, 说明从略。另外, 地址发生电路 8、比较器 7 及递增部 6 的工作情况与用图 3 说明的相同, 说明从略。

在工作中, 首先为了从 ROM63 读出一个以上的所希望的类型的的数据, 处理控制部 68 将读出开始地址 3 和表示所希望的数据类型用的数据标志信息 DF 供给存储器芯片 MC3。

被供给存储器芯片 MC3 的数据标志信息 DF 被存储在标志寄存器 24 中, 同样, 读出开始地址 3 被供给地址发生电路 8。

以后, 由地址发生电路 8、比较器 7 及递增部 6 一边进行比较处理, 一边逐次递增, 将生成的读出地址 4 供给地址指定部 ADS。

这时, 根据基于作为标志寄存器 24 的内容的数据标志信息 DF 的地址指定, 从表 TB 读出与该数据标志信息 DF 对应的字长信息 WL1, 供给比较器 7。

因此, 比较器 7 对由逐次供给的读出地址 4 表示的到此为止从 ROM63 读出的数据的字长和用字长信息 WL1 表示的字长进行比较, 如果判定读出的数据的字长超过用字长信息 WL1 表示的字长, 则将停止信号 CS 输出给递增部 6。递增部 6 对应于停止信号 CS 的供给, 停止读出地址 4 的递增工作, 从而停止从 ROM63 读出数据的工作。

在 ROM63 中, 根据由地址指定部 ADS 进行的基于读出地址 4 的地址指定, 继续进行读出工作, 其结果, 能读出用字长信息 WL1 表示的长度的数据。在此情况下, 如果假定字长信息 WL1 表示两个字, 则能读出与读出开始地址 3 对应的 ROM63 中的读出地址中存储的两个字大小的数据。在此情况下, 假定对图 5 中的数据组 DG<sub>2</sub> 进行了地址指定, 则能连续地读出数据 D1 和 D2, 作为所希望的类型的的数据 18, 通过读

出缓冲器 RB 被分别供给处理控制部 68。

数据标志信息 DF 呈最大值时，表示能构成数据组 DG<sub>i</sub> 的全部类型的数据。而且，在数据标志信息 DF 的各位表示构成数据组 DG<sub>i</sub> 的段的情况下，读出的数据 D<sub>j</sub> 表示是对应于哪个数据段的数据。在数据 D<sub>1</sub> 由一个字构成的情况下，数据标志信息 DF (= “1100”) 表示与数据段 1 和 2 分别对应的数据 (数据 D<sub>1</sub> 和 D<sub>2</sub>) 是所希望的数据。这里，假定数据组 DG<sub>i</sub> 的各段与数据的各类型一致，则能从存储器芯片 MC3 只读出与 ROM63 的读出开始地址 3 对应的读出地址 4 中存储的所希望的一个以上类型的数据 D<sub>j</sub>。

#### 10 (第四实施例)

在第四实施例中，给出了将第一实施例的存储器访问系统应用于访问图形存储器 (为了用计算机在显示器上描绘图像或字符而写入了描绘用的数据的存储器) 的情况。在此情况下，处理控制部 66 对从 ROM61 读出的内容进行图形处理 (图像描绘处理)。

15 在本实施例中，在存储了三维图形数据的图形存储器内的各数据的开头设有表示连续读入的数据的字长信息 WL，能连续地读出由字长信息 WL 指定的长度大小的数据。

图 6 是表示第四实施例的三维图形存储器之一例图。在图 6 中的三维图形存储器 2 中存储了多个数据 D。各数据 DK 连续地包含定义多  
20 边形的各顶点的描绘的信息，该多边形的各顶点由以下各量构成：X (x 坐标值)、Y (y 坐标值)、Z (z 坐标值)、U (关于结构图的 x 坐标)、V (关于结构图的 y 坐标)、R (红色信息)、G (绿色信息)、B (蓝色信息)、以及  $\alpha$  (透射率信息)。在各数据 D 之前存储了该数据 D 的字长信息 WL。通过基于从处理器及控制器 71 供给的读出开始  
25 地址 3 所对应的三维图形存储器 2 的地址的地址指定，读出字长信息 WL。通过将图 1 中的 ROM61 代之以图 6 中的三维图形存储器 2，在定义多边形的一个顶点时从图形存储器 2 读出必要的数据 D 的情况下，处理器及控制器 71 只将与该数据对应的读出开始地址 3 供给图形存储器 2 的存储器芯片 MC1 一侧即可。

30 图 7 是表示第四实施例的三维图形用的结构存储器之一例图。在图 7 所示的结构存储器 1 中，存储了任意尺寸 (可变长度) 的多个结构数据 TXD<sub>i</sub> (i = 1、2、3、...) 即数据 D。通过将图 1 中的 ROM61 代

之以图 7 中的结构存储器 1, 在从结构存储器 1 读出所希望的数据 D 时, 处理器及控制器 71 即使不指定结构数据 TXDi (数据 D) 的尺寸, 而只将与该所希望的结构数据 TXDi 对应的读出开始地址 3 供给存储器芯片 MC1, 就能只读出所希望的结构数据。

## 5 (第五实施例)

在本实施例中, 给出了将第二实施例的存储器访问系统应用于访问图形存储器的情况。在此情况下, 处理控制部 67 对从 ROM62 读出的内容进行图形处理。

10 图 8 是本发明的第五实施例的三维图形存储器 42 结构图。在三维图形存储器 42 中, 在由处理器及控制器指定的读出开始地址 3 所对应的读出地址 4 中存储了数据组 DGi, 该数据组 DGi 由数据标志信息 DFi 和继该数据标志信息 DFi 之后用该数据标志信息 DFi 表示的一个以上类型的数据构成。在数据组 DGi 中连续地存储了定义多边形的各顶点用的 9 种类型数据中的至少一种以上的数据, 该多边形的各顶点由以下各量构成: X (x 坐标值)、Y (y 坐标值)、Z (z 坐标值)、U (关于结构图的 x 坐标)、V (关于结构图的 y 坐标)、R (红色信息)、G (绿色信息)、B (蓝色信息)、以及  $\alpha$  (透射率信息)。

20 在将图 2 中的 ROM62 代之以图 8 中的三维图形存储器 42 的情况下, 在三维图形存储器 42 中, 从处理器及控制器 72 供给的读出开始地址 3 所对应的读出地址 4 中存储的数据标志信息 DFi 表示在多边形的描绘中应被更新的一个以上的数据的类型。在数据标志信息 DFi 是 9 位信息 “110000000” 的情况下, 各位分别与定义上述的多边形的顶点所必要的 9 种类型的数据一一对应。

25 现在, 在与读出开始地址 3 对应的读出地址 4 中存储的数据标志信息 DFi 是图 8 中的数据标志信息 DF1 时, 表示根据该数据标志信息 DF1 读出的类型的数据是新的 X (x 坐标值) 及新的 Y (y 坐标值)。因此, 处理器及控制器 72 只指定读出开始地址 3, 就能作为数据 17 供给表示读出的数据的类型的数据标志信息 DF1、以及应被更新的类型的数据 (新的 X (x 坐标值) 及新的 Y (y 坐标值))。

30 以往, 在三维图形处理中频繁使用的帧存储器等中, 配置了称为坐标数据/深度数据的描绘中频繁变化的类型的数据, 同时配置了在关于颜色的数据的描绘中几乎不变化的类型的数据, 所以存储器的利用

效率不好。然而，如本实施例所示，由于在存储器内只配置描绘中应更新的数据，所以能防止存储器中的不需要的数据的配置、以及从存储器读出不需要的数据（描绘中不更新的数据）。因此能提高图形存储器的利用效率，并且能增大数据总线带宽进行图形存储器的访问，还能提高三维图形系统总体的性能。

#### （第六实施例）

在本实施例中，给出了将第三实施例的存储器访问系统应用于访问图形存储器的情况。图 9 是表示适用于第六实施例的图形存储器的结构图。图 9 中，在三维图形存储器 43 中存储了多个数据组  $DG_i$ ，上述多个数据组  $DG_i$  包含定义由上述的 X、Y、Z、U、V、R、G、B 及  $\alpha$  构成的多边形的各顶点用的 9 个类型数据中一个类型以上的数据。在此情况下，处理控制部 68 对从 ROM63 读出的内容进行图形处理。

这里，说明用图 9 中的三维图形存储器 43 代替了第三实施例中的图 5 所示的 ROM63 的情况。首先，从欲访问三维图形存储器 43 的处理器及控制器 73 输出读出开始地址 3 和表示所希望的一个以上的数据类型的数据标志信息 DF。从处理器及控制器 73 供给的读出开始地址 3 和数据标志信息 DF 是在三维图形存储器 43 中决定描绘中应更新的一个以上的类型数据后读出用的信息。如上所述，在数据标志信息 DF 是 9 位信息“110000000”的情况下，各位与定义上述的多边形的顶点所必要的各数据的类型一一对应。在此情况下，表示所希望的类型的数据、即描绘中应更新的类型的数据是 X（x 坐标值）及 Y（y 坐标值）。因此，只将更新后的 X（x 坐标值）及 Y（y 坐标值）连续地供给处理器及控制器 73 一侧。

另外，在三维图形处理中频繁使用的帧存储器等中，以往配置了称为坐标数据/深度数据的描绘中频繁变化的类型的数据，同时配置了在表示颜色的数据的描绘中几乎不变化的类型的数据。然而，由于将本实施例应用于包含这样的存储器的存储器访问系统，所以能在存储器内只配置描绘中应更新的类型的数据，能防止从存储器读出不需要的数据（描绘中不更新的数据）。因此能提高存储器的利用效率，且能增大数据总线带宽，高速地从三维图形存储器只读出所希望的数据，能提高三维图形处理系统总体的性能。

#### （第七实施例）

说明第七实施例。图 10 是本发明的第七实施例的存储器访问系统的结构图。图 10 中的系统结构和与图 2 相比较，不同点在于：备有数据存储控制部 31，代替数据存储控制部 32，以及从地址发生部 22 输出的 ROM62 的读出地址 4 也被供给数据存储控制部 31。图 10 中的其他结构与图 2 相同，说明从略。

图 11 是图 10 中的地址发生部 22 和数据存储控制部 31 的结构框图。图中地址发生部 22 的结构与图 3 中的相同，说明从略。

将图 11 中的数据存储控制部 31 的结构和图 3 中的数据存储控制部 32 的结构相比较，不同点在于：数据存储控制部 31 在从 ROM62 读出的数据 16 的输入级中设有暂时存储数据 16 用的高速缓冲存储器 20。数据存储控制部 31 的其他结构与图 3 中的数据存储控制部 32 的结构相同，说明从略。

高速缓冲存储器 20 逐次存储被供给的数据 16，同时根据与数据 16 并行供给的读出地址 4 来指定地址。在该地址指定中，从高速缓冲存储器 20 读出数据 16。如上所述，被读出的数据 16 通过根据数据标志信息 DF<sub>i</sub> 的内容 15 被导通的门 G<sub>1</sub>，被存储在内部寄存器组 77 中的对应的寄存器中，此后作为数据 17 供给处理控制部 67。

这里，数据标志信息 DF<sub>i</sub> 虽然是从 ROM62 读出的，但如第三实施例所示，也可以是存储在处理器及控制器内部的数据标志信息。

在本实施例中，不需要从处理器及控制器一侧对存储器芯片指定所希望的数据的字长。在本实施例中，从 ROM62 有选择地连续地只读出必要类型的数据，供给处理器及控制器 72。

这里，如果以三维图形系统中的图形数据为例，则能用图形存储器代替 ROM62。在此情况下，处理控制部 67 对从存储器读出的内容进行图形处理。在该图形存储器的内部配置了 X、Y、Z、R、G、B、U、V 及称为  $\alpha$  的各由 32 位构成的 9 种类型的数据（计 288 位）。

在将同一物体移动的状态描绘在画面上的情况下，在描绘中只是 X 或 Y 变化。即使在这样的情况下，在以往的图形处理中，需要从图形存储器读出全部上述的 9 种类型的数据（计 288 位大小的数据）。与此不同，在本实施例中，只读出在描绘中有变化的类型的数据（X 或 Y）（最大 64 位），在描绘中能获得与以往相同的效果，同时从图形存储器读出的数据量与以往相比，只是以往的 2/9。



在三维图形中频繁使用的帧存储器等中，以往配置了在称为坐标数据/深度数据的显示中频繁变化的类型的的数据，同时配置了表示颜色的数据的几乎不变化的类型的的数据。由于将本实施例应用于这样的帧存储器，所以能在该帧存储器内只配置应更新的类型的的数据，能防止  
5 帧存储器中的不需要的数据的配置、以及从帧存储器读出不需要的数据。因此，能大幅度降低三维图形中的关于存储器访问的负载，结果，能提高三维图形处理系统总体的性能。

如果采用上述的存储器访问系统，则能用与所希望的信息对应的类型数据和读出开始地址信息，有选择地从存储器只读出所希望的信息。就是说，能省略无用数据的读出，增大与存储器访问有关的相当于上述省略部分的带宽，而进行高速的访问，进而提高处理部的规定的处理效率。  
10

另外如果采用上述的存储器访问系统，则能用与所希望的信息对应的长度数据和读出开始地址信息，有选择地从存储器只读出所希望的信息。就是说，能省略无用数据的读出，增大与存储器访问有关的相当于上述省略部分的带宽，而进行高速的访问，进而提高处理部的规定的处理效率。  
15

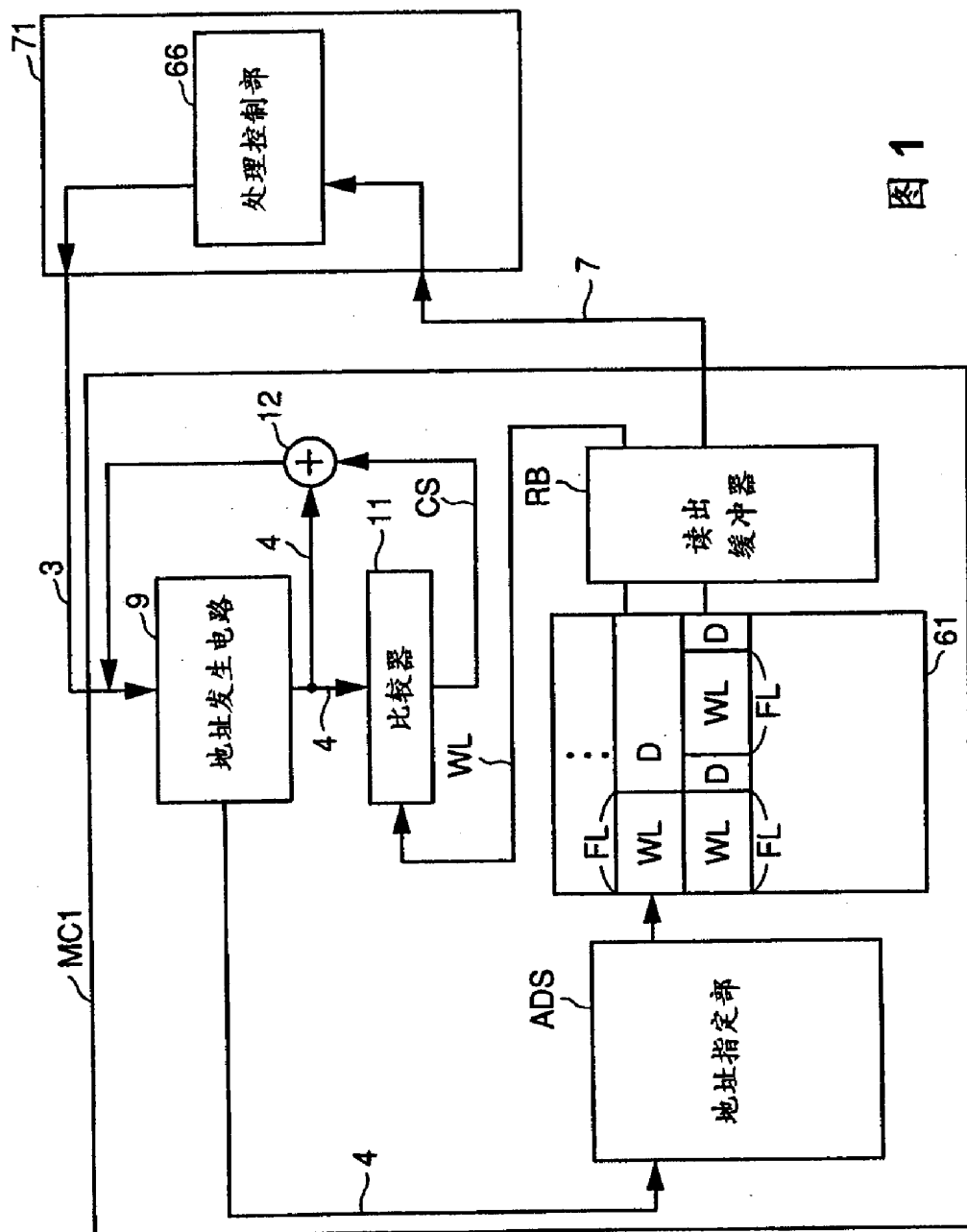


图1

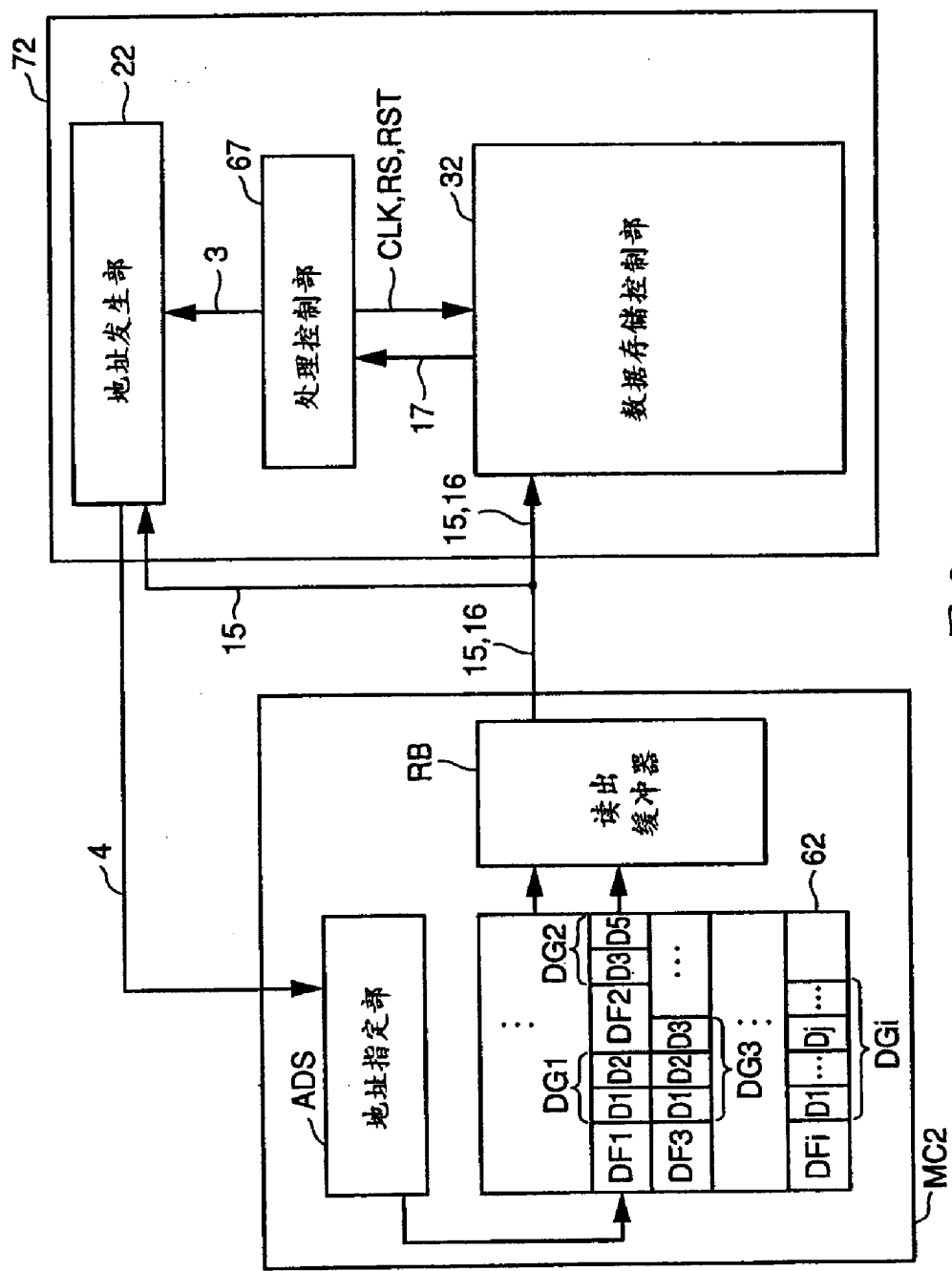


图 2

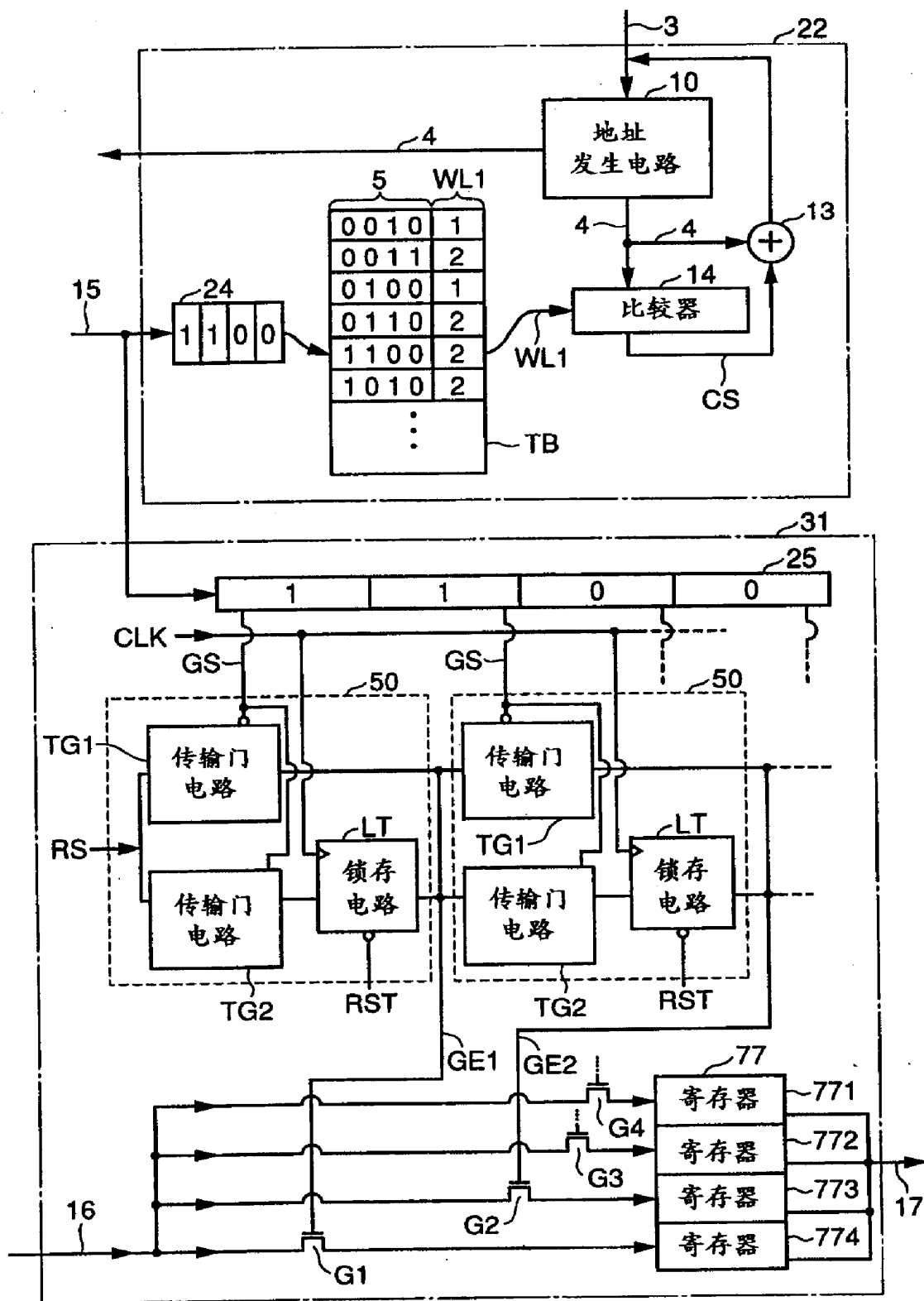
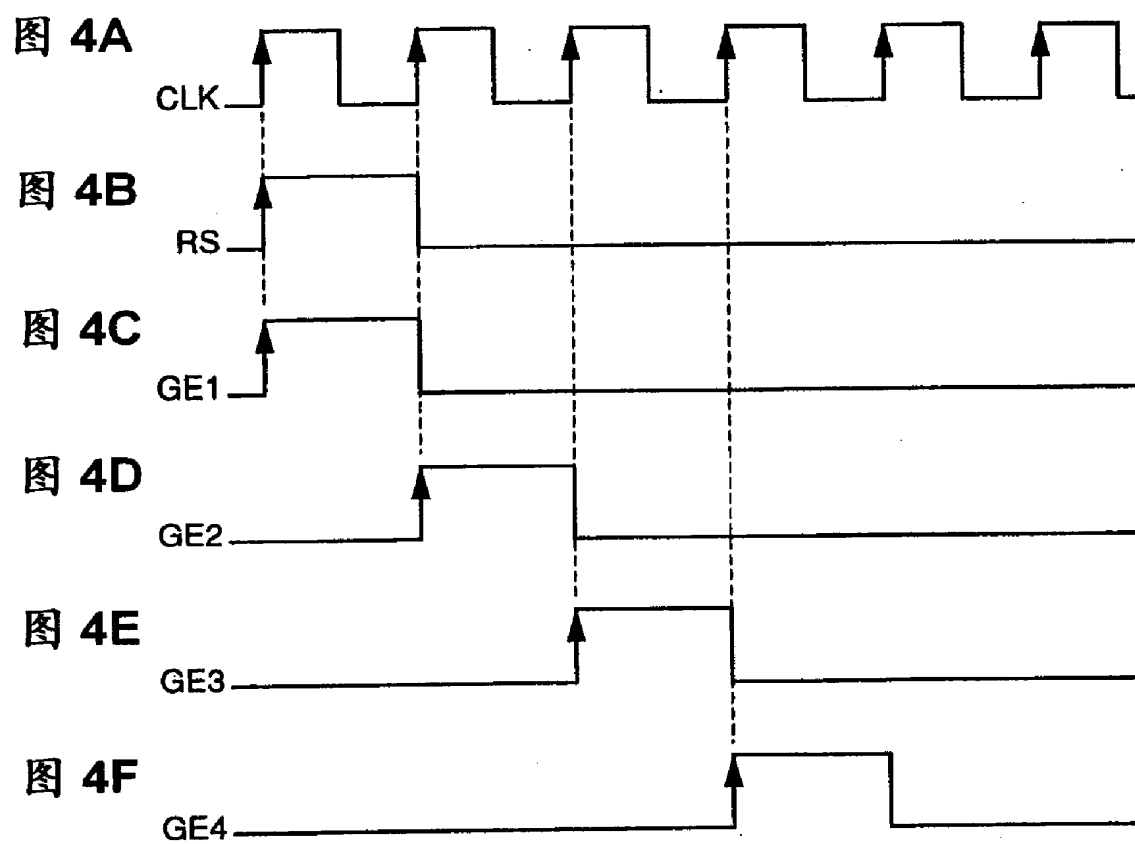


图 3





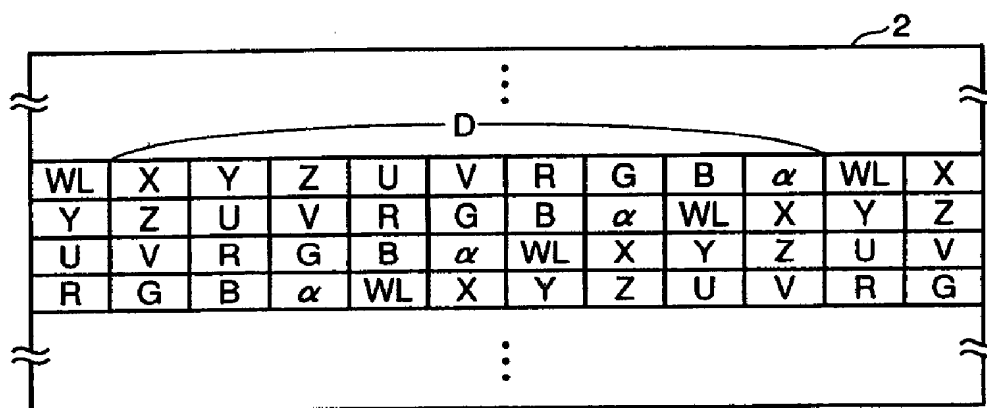


图 6

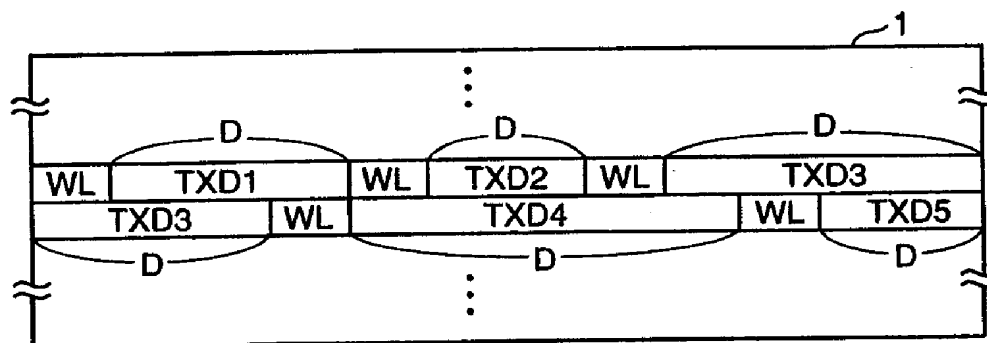


图 7

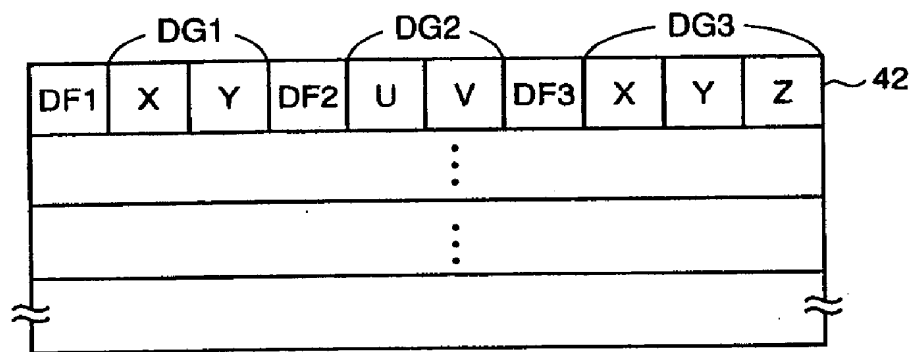


图 8

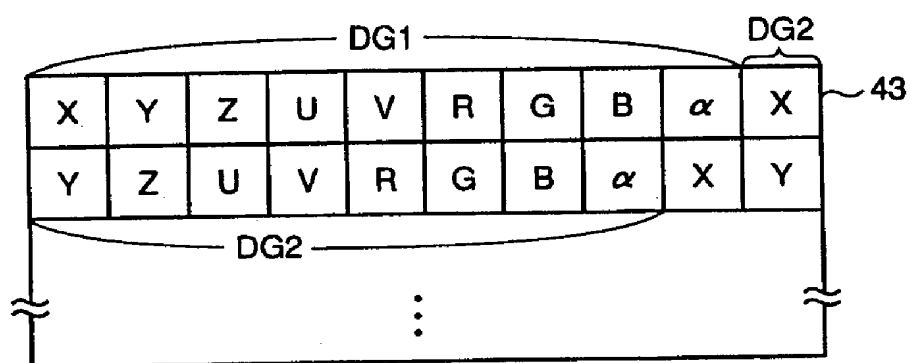


图 9



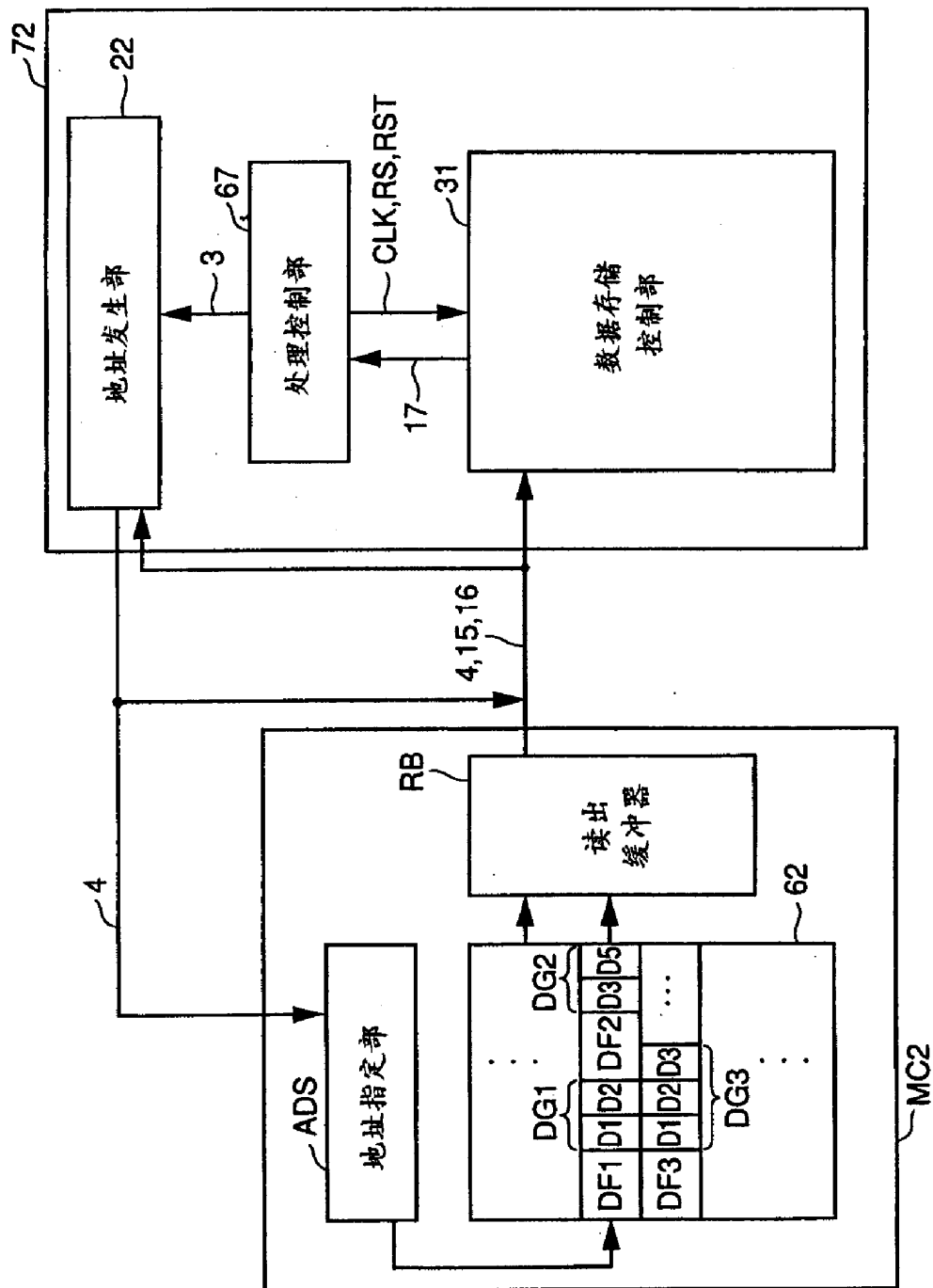


图 10

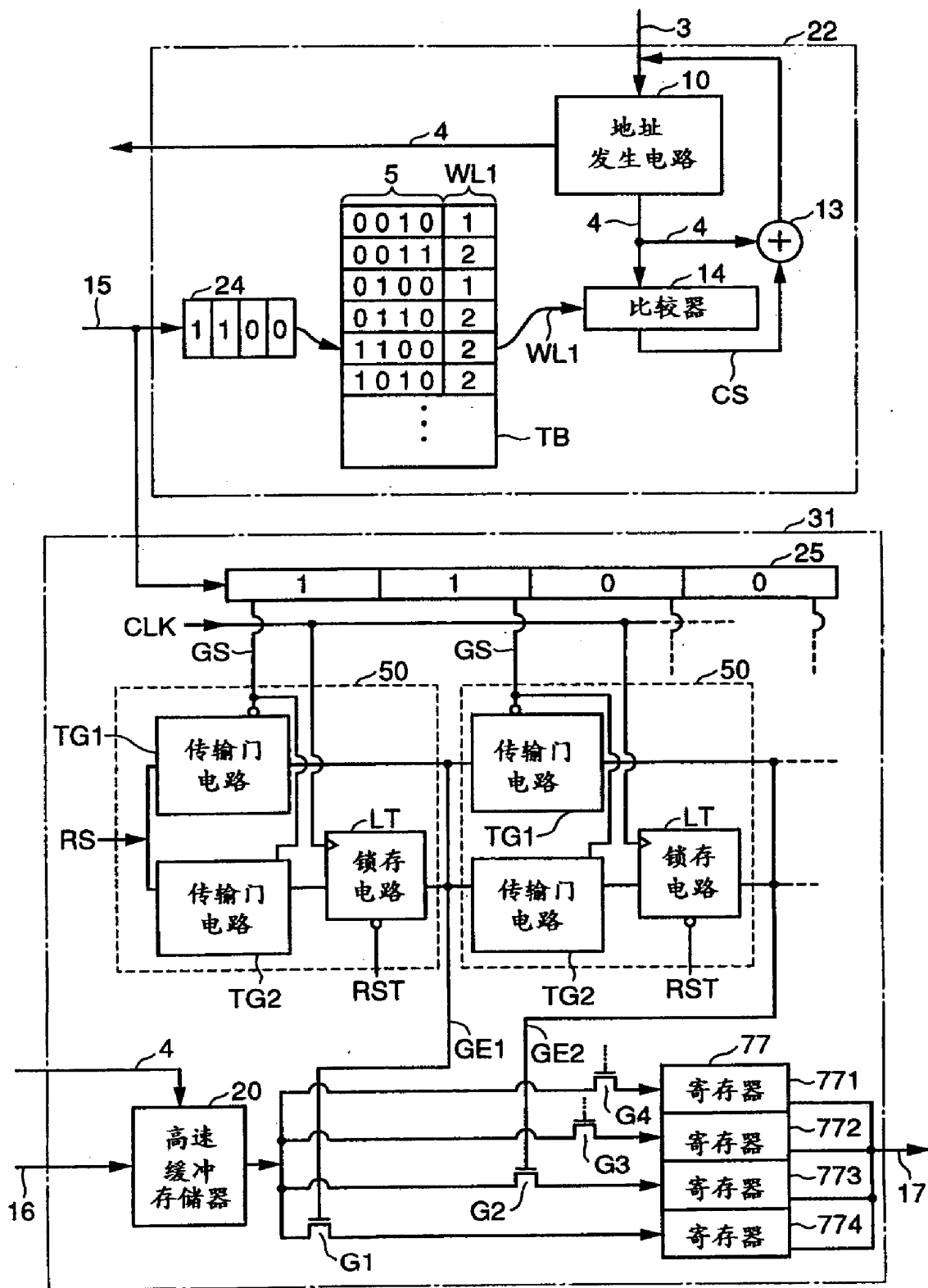


图 11

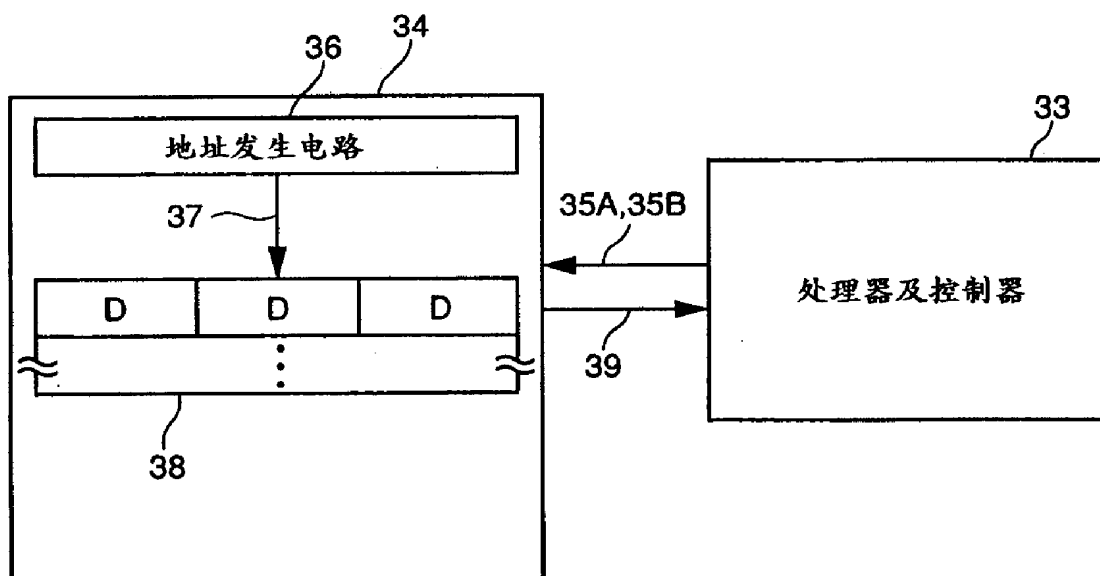


图 12  
现有技术